

[Original document](#)

SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

Publication number: JP10242422

Publication date: 1998-09-11

Inventor: AOKI MASAMI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:


- international: **H01L21/768; H01L21/8242; H01L27/108; H01L27/108; H01L21/70; H01L27/108; H01L27/108; (IPC1-7): H01L27/108; H01L21/8242**

- European:

Application number: JP19970046810 19970228

Priority number(s): JP19970046810 19970228

Also published as:

 US6281540 (B1)

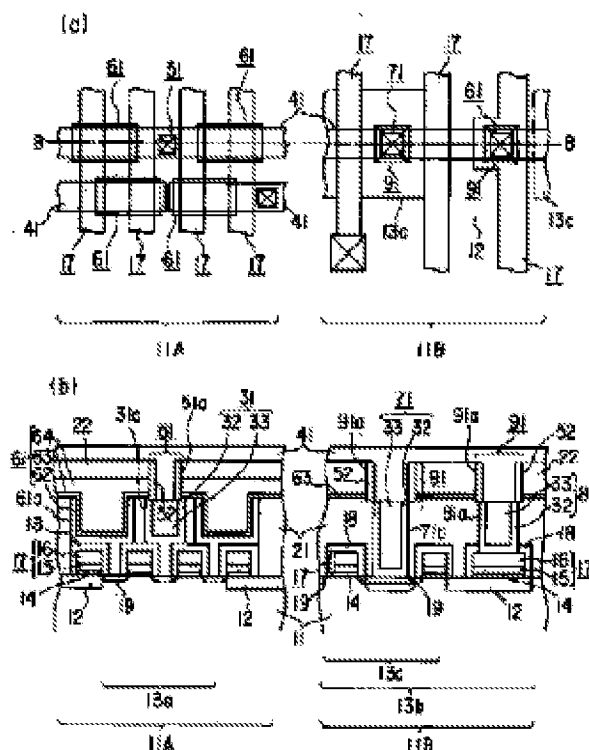
[View INPADOC patent family](#)

[View list of citing documents](#)

[Report a data error here](#)

Abstract of JP10242422

PROBLEM TO BE SOLVED: To make it possible to prevent a step from being formed on the upper face of a layer insulating film between memory cells and peripheral circuits depending on the presence or absence of a capacitor, in DRAM wherein memory cells containing stacked capacitors of such structure that bit lines will be formed later are mounted together with their peripheral circuits on one and the same chip. **SOLUTION:** For example, a second conductive material 33 is buried in a laminated film to be barrier layer 32, and the bit-line plugs 31 of memory cells 11A, the diffusion-layer plug 71 of peripheral circuits 11B and gate electrode plugs 81 are formed. At the same time when the plugs 31, 71, 81 are formed, the storage node electrode 62 of capacitors 61 are formed from the laminated film. Thus the consistency of the process for forming the memory cells 11A with the process for forming the peripheral circuits 11B is enhanced.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-242422

(43)公開日 平成10年(1998) 9月11日

(51)Int.Cl.⁶

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 8 1 B

6 2 1 C

審査請求 未請求 請求項の数24 O L (全 11 頁)

(21)出願番号 特願平9-46810

(22)出願日 平成9年(1997) 2月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 青木 正身

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

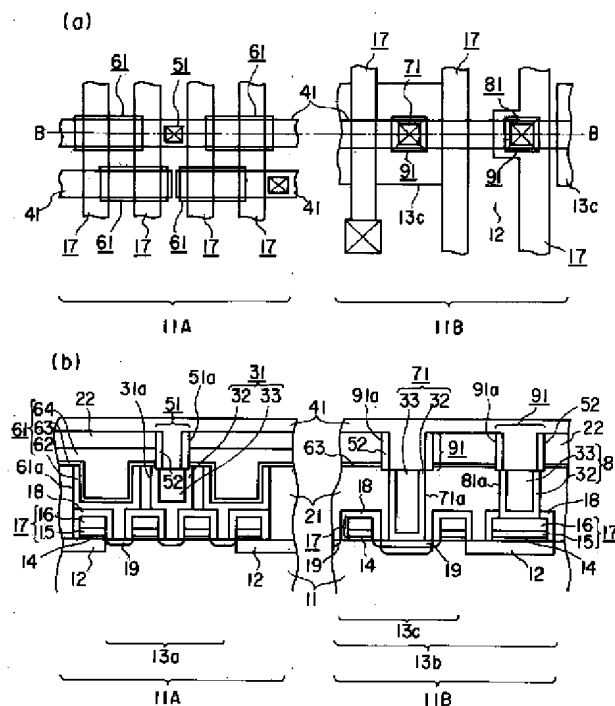
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】本発明は、ビット線後作り構造のスタックトキャパシタを有したメモリセルとその周辺回路とを同一チップ上に混載してなるD R A Mにおいて、メモリセルと周辺回路との間で層間絶縁膜の上面にキャパシタの有無に応じた段差が生じるのを防止できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、バリア層32となる積層膜の内部に第二の導電材33を埋め込んで、メモリセル11Aのビット線プラグ31と、周辺回路11Bの拡散層プラグ71およびゲート電極プラグ81とを形成する。また、各プラグ31、71、81の形成と同時に、上記積層膜により、キャパシタ61のストレージノード電極62を形成する。こうして、メモリセル11Aを形成する際の、周辺回路11Bの形成のためのプロセスとの整合性を高める構成となっている。



【特許請求の範囲】

【請求項1】 半導体基板上に、MOSトランジスタおよびキャパシタを有して構成されるメモリセル部とその周辺回路部とを混載してなる半導体記憶装置において、前記メモリセル部のビット線接続部および前記周辺回路部のビット線接続部を、それぞれの上面の高さがほぼ同一となるように構成してなることを特徴とする半導体記憶装置。

【請求項2】 前記ビット線接続部は、それぞれ、第一の導電材からなるバリア層を有して構成されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記キャパシタは、第一の導電材からなるストレージ電極を有して構成されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 半導体基板上に、MOSトランジスタおよびキャパシタを有して構成されるメモリセル部とその周辺回路部とを混載してなる半導体記憶装置において、第一の導電材からなるバリア層を有し、それぞれの上面の高さがほぼ同一となるように構成された、前記メモリセル部および前記周辺回路部のビット線接続部と、前記バリア層をなす前記第一の導電材により構成された、前記キャパシタのストレージ電極とを具備したことを特徴とする半導体記憶装置。

【請求項5】 前記バリア層は、絶縁膜に形成されたコンタクト孔の内壁に沿って、前記第一の導電材が設けられてなることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記バリア層を介して、前記コンタクト孔内に第二の導電材が埋め込まれて、前記各ビット線接続部のプラグ電極が形成されてなることを特徴とする請求項4または5のいずれかに記載の半導体記憶装置。

【請求項7】 前記プラグ電極にはさらにコンタクト電極が接続されて、前記各ビット線接続部が構成されてなることを特徴とする請求項6に記載の半導体記憶装置。

【請求項8】 前記ストレージ電極は、絶縁膜に形成されたコンタクト孔の内壁に沿って、前記第一の導電材が設けられてなることを特徴とする請求項4に記載の半導体記憶装置。

【請求項9】 前記第一の導電材は、積層膜により構成されてなることを特徴とする請求項4、5または8のいずれかに記載の半導体記憶装置。

【請求項10】 前記ストレージ電極を介して、前記コンタクト孔内にキャパシタ絶縁膜およびプレート電極が設けられて、前記キャパシタが形成されてなることを特徴とする請求項4または8のいずれかに記載の半導体記憶装置。

【請求項11】 半導体基板上の、メモリセル領域および周辺回路領域にそれぞれ形成されたMOSトランジスタと、前記MOSトランジスタ上をそれぞれ含む、前記基板の

全面に形成された第一の層間絶縁膜に、その平坦面より開孔されて、前記MOSトランジスタの一方のソース・ドレイン領域につながる蓄積電極用コンタクト孔の、少なくとも内壁部位に形成された第一の導電材よりなるストレージ電極、および、このストレージ電極上に、キャパシタ絶縁膜を介して形成されたプレート電極と、前記基板の全面に形成された第一の層間絶縁膜に、その平坦面よりそれぞれ開孔されて、前記MOSトランジスタの他方のソース・ドレイン領域につながる第一、第二のプラグ電極用コンタクト孔の、少なくとも各内壁部位に形成された第一の導電材よりなるバリア層を介して、前記第一、第二のプラグ電極用コンタクト孔内にそれぞれ第二の導電材が埋め込まれてなる第一、第二のプラグ電極と、前記基板の全面に形成された第二の層間絶縁膜に、その平坦面より開孔された、前記第一、第二のプラグ電極にそれぞれつながる第一、第二のコンタクト電極用コンタクト孔内にそれぞれ配線材料を埋め込んでなる第一、第二のコンタクト電極と、前記第二の層間絶縁膜上に設けられ、前記第一、第二のコンタクト電極にそれぞれつながるビット線とを具備したことを特徴とする半導体記憶装置。

【請求項12】 前記第一のプラグ電極と前記第一のコンタクト電極とで、前記メモリセル領域におけるビット線接続部が構成されてなることを特徴とする請求項11に記載の半導体記憶装置。

【請求項13】 前記第二のプラグ電極と前記第二のコンタクト電極とで、前記周辺回路領域におけるビット線接続部が構成されてなることを特徴とする請求項11に記載の半導体記憶装置。

【請求項14】 前記プレート電極は、前記キャパシタ絶縁膜の表面に沿ってのみ設けられてなることを特徴とする請求項11に記載の半導体記憶装置。

【請求項15】 前記第一、第二のコンタクト電極用コンタクト孔には、それぞれの内壁部位に絶縁膜が形成されてなることを特徴とする請求項11に記載の半導体記憶装置。

【請求項16】 半導体基板上のメモリセル領域と周辺回路領域とにそれぞれMOSトランジスタを形成する工程と、前記MOSトランジスタ上をそれぞれ含む、前記基板の全面に層間絶縁膜を形成した後、その層間絶縁膜に、ビット線接続部のバリア層およびキャパシタのストレージ電極を形成する工程とからなることを特徴とする半導体記憶装置の製造方法。

【請求項17】 前記ストレージ電極の形成は、前記層間絶縁膜に開孔され、前記MOSトランジスタの一方のソース・ドレイン領域につながる蓄積電極用コンタクト孔の、少なくとも内壁に沿って第一の導電材を形成するものであることを特徴とする請求項16に記載の半導体

記憶装置の製造方法。

【請求項18】 前記バリア層の形成は、前記層間絶縁膜に開孔され、前記MOSトランジスタの他方のソース・ドレイン領域につながる第一、第二のプラグ電極用コンタクト孔の、少なくとも内壁に沿って第一の導電材を形成するものであることを特徴とする請求項16に記載の半導体記憶装置の製造方法。

【請求項19】 前記ビット線接続部は、それぞれの上面の高さがほぼ同一となるように形成されることを特徴とする請求項16に記載の半導体記憶装置の製造方法。

【請求項20】 半導体基板上のメモリセル領域および周辺回路領域にそれぞれMOSトランジスタを形成する工程と、

前記MOSトランジスタを形成した後、前記基板の全面に第一の層間絶縁膜を形成する工程と、

前記第一の層間絶縁膜の表面を平坦化する工程と、

前記第一の層間絶縁膜を選択的に除去し、蓄積電極用コンタクト孔および第一、第二のプラグ電極用コンタクト孔を形成する工程と、

前記各コンタクト孔の少なくとも側壁部位に、それぞれ、第一の導電材によりストレージ電極またはバリア層を形成する工程と、

前記各コンタクト孔内をダミー膜により埋め込む工程と、

前記ダミー膜のうち、前記蓄積電極用コンタクト孔を除く、前記第一、第二のプラグ電極用コンタクト孔内に埋め込まれたダミー膜を除去する工程と、

前記ダミー膜の除去された、前記第一、第二のプラグ電極用コンタクト孔内に第二の導電材を埋め込んで第一、第二のプラグ電極を形成する工程と、

前記蓄積電極用コンタクト孔内に埋め込まれたダミー膜を除去する工程と、

少なくとも、前記ストレージ電極の表面に沿ってキャパシタ絶縁膜を形成する工程と、

前記キャパシタ絶縁膜を介して、前記蓄積電極用コンタクト孔内にプレート電極を設けてキャパシタを形成する工程と、

全面に、第二の層間絶縁膜を形成する工程と、

前記第二の層間絶縁膜の表面を平坦化する工程と、

前記第二の層間絶縁膜を選択的に除去し、前記第一、第二のプラグ電極にそれぞれつながる第一、第二のコンタクト電極用コンタクト孔を形成する工程と、

前記第二の層間絶縁膜上にビット線を形成すると同時に、このビット線と前記第一、第二のプラグ電極とをそれぞれ接続する第一、第二のコンタクト電極を形成する工程とからなることを特徴とする半導体記憶装置の製造方法。

【請求項21】 前記第一のプラグ電極と前記第一のコンタクト電極とで、前記メモリセル領域におけるビット線接続部が構成されることを特徴とする請求項20に記載

の半導体記憶装置の製造方法。

【請求項22】 前記第二のプラグ電極と前記第二のコンタクト電極とで、前記周辺回路領域におけるビット線接続部が構成されることを特徴とする請求項20に記載の半導体記憶装置の製造方法。

【請求項23】 前記プレート電極は、前記キャパシタ絶縁膜の表面に沿ってのみ設けられることを特徴とする請求項20に記載の半導体記憶装置の製造方法。

【請求項24】 前記第一、第二のコンタクト電極用コンタクト孔を形成した後、該コンタクト孔の各側壁部位に絶縁膜を形成する工程をさらに備えることを特徴とする請求項20に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置およびその製造方法に関するもので、特に、メモリセルとその周辺回路とを同一チップ上に混載してなるダイナミック型の半導体記憶装置(DRAM)に用いられるものである。

【0002】

【従来の技術】現在、256MビットDRAMや1GビットDRAM向けに開発されつつあるスタックドキャパシタを有するメモリセル(DRAMセル)は、その大半が、ビット線の形成に先駆けてキャパシタを形成する、いわゆるビット線先作り構造(COB構造)となっている。

【0003】このCOB構造は、ビット線の形成に影響されないため、キャパシタの占有面積を大きくとれるというメリットがあるものの、ビット線の寄生容量が大きい、ビット線に対する自己整合プロセスが必要となるためにビット線のA1化が困難であるなどの問題がある。

【0004】このため、今後、DRAMにおいて主流になるとと思われる、メモリセルと周辺のロジック(周辺回路)とを混載してなるチップへの適用性が悪いという欠点があった。

【0005】一方、ビット線よりもキャパシタを先に形成するビット線後作り構造のセルにおいては、上記の問題点を解決することが可能である反面、メモリセルと周辺回路とを混載してなるチップへ適用した場合には、メモリセルと周辺回路との間で、層間絶縁膜の上面にキャパシタの有無による段差が生じるといった不具合があった。

【0006】図13は、上記したビット線後作り構造のセルを、メモリセルと周辺回路とを同一チップ上に混載してなるDRAMに適用した場合を例に示すものである。なお、このDRAMの場合、素子の左側がメモリセル部、同右側が周辺回路部となっている。

【0007】すなわち、このDRAMは、たとえば同図(c)に示すように、シリコン基板101上のフィールド酸化膜102によって囲まれたメモリセル領域101

a内に、それぞれ、ゲート電極103およびソース／ドレイン領域104を有する複数のMOSトランジスタが形成されてなるメモリセル部においては、各MOSトランジスタのソース／ドレイン領域104の一方にそれぞれ対応して、円筒形のストレージノード電極105、キャパシタ絶縁膜106、プレート電極107からなるスタックドキャパシタが形成されている。

【0008】また、他方のソース／ドレイン領域104に対応して、層間絶縁膜108上に形成されるビット線109につながる、ビット線コンタクト110が形成されている。

【0009】周辺回路領域101b上の、周辺回路部においては、フィールド酸化膜102上に形成されたゲート電極103に対応して、上記ビット線109につながるゲート電極コンタクト111が形成されている。

【0010】また、フィールド領域上のMOSトランジスタの一方のソース／ドレイン領域104に対応して、上記ビット線109につながる拡散層コンタクト112が形成されている。

【0011】しかしながら、この構成のDRAMの場合、たとえば同図(b)に示すように、メモリセル部のスタックドキャパシタを形成した後に、全面に、層間絶縁膜108を形成するようにしている。

【0012】このため、たとえば同図(c)に示すように、メモリセル部と周辺回路部との間で、層間絶縁膜108の上面にキャパシタの有無に応じた段差120ができ、ビット線109を高精度にパターニングするのを困難にするなど、メモリセル部と周辺回路部との整合性が悪いという問題があった。

【0013】

【発明が解決しようとする課題】上記したように、従来においては、ビット線後作り構造のセルの場合、チップへの適用性は改善できるものの、周辺回路部との整合性が悪いという問題があった。

【0014】そこで、この発明は、メモリセル部と周辺回路部とを同一チップ上に混載する場合において、メモリセル部と周辺回路部との間で層間絶縁膜の上面にキャパシタの有無による段差を生じることなく、メモリセル部と周辺回路部との整合性に優れた半導体記憶装置およびその製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体記憶装置にあつては、半導体基板上に、MOSトランジスタおよびキャパシタを有して構成されるメモリセル部とその周辺回路部とを混載してなるものにおいて、前記メモリセル部のビット線接続部および前記周辺回路部のビット線接続部を、それぞれの上面の高さがほぼ同一となるように構成してなる構成とされている。

【0016】また、この発明の半導体記憶装置にあつて

は、半導体基板上に、MOSトランジスタおよびキャパシタを有して構成されるメモリセル部とその周辺回路部とを混載してなるものにおいて、第一の導電材からなるバリア層を有し、それぞれの上面の高さがほぼ同一となるように構成された、前記メモリセル部および前記周辺回路部のビット線接続部と、前記バリア層をなす前記第一の導電材により構成された、前記キャパシタのストレージ電極とから構成されている。

【0017】また、この発明の半導体記憶装置にあつては、半導体基板上の、メモリセル領域および周辺回路領域にそれぞれ形成されたMOSトランジスタと、前記MOSトランジスタ上をそれぞれ含む、前記基板の全面に形成された第一の層間絶縁膜に、その平坦面より開孔されて、前記MOSトランジスタの一方のソース・ドレイン領域につながる蓄積電極用コンタクト孔の、少なくとも内壁部位に形成された第一の導電材よりなるストレージ電極、および、このストレージ電極上に、キャパシタ絶縁膜を介して形成されたプレート電極と、前記基板の全面に形成された第一の層間絶縁膜に、その平坦面よりそれぞれ開孔されて、前記MOSトランジスタの他方のソース・ドレイン領域につながる第一、第二のプラグ電極用コンタクト孔の、少なくとも各内壁部位に形成された第一の導電材よりなるバリア層を介して、前記第一、第二のプラグ電極用コンタクト孔内にそれぞれ第二の導電材が埋め込まれてなる第一、第二のプラグ電極と、前記基板の全面に形成された第二の層間絶縁膜に、その平坦面より開孔された、前記第一、第二のプラグ電極にそれぞれつながる第一、第二のコンタクト電極用コンタクト孔内にそれぞれ配線材料を埋め込んでなる第一、第二のコンタクト電極と、前記第二の層間絶縁膜上に設けられ、前記第一、第二のコンタクト電極にそれぞれつながるビット線とから構成されている。

【0018】また、この発明の半導体記憶装置の製造方法にあつては、半導体基板上のメモリセル領域と周辺回路領域とにそれぞれMOSトランジスタを形成する工程と、前記MOSトランジスタ上をそれぞれ含む、前記基板の全面に層間絶縁膜を形成した後、その層間絶縁膜に、ビット線接続部のバリア層およびキャパシタのストレージ電極を形成する工程とからなっている。

【0019】さらに、この発明の半導体記憶装置の製造方法にあつては、半導体基板上のメモリセル領域および周辺回路領域にそれぞれMOSトランジスタを形成する工程と、前記MOSトランジスタを形成した後、前記基板の全面に第一の層間絶縁膜を形成する工程と、前記第一の層間絶縁膜の表面を平坦化する工程と、前記第一の層間絶縁膜を選択的に除去し、蓄積電極用コンタクト孔および第一、第二のプラグ電極用コンタクト孔を形成する工程と、前記各コンタクト孔の少なくとも側壁部位に、それぞれ、第一の導電材によりストレージ電極またはバリア層を形成する工程と、前記各コンタクト孔内を

ダミー膜により埋め込む工程と、前記ダミー膜のうち、前記蓄積電極用コンタクト孔を除く、前記第一、第二のプラグ電極用コンタクト孔内に埋め込まれたダミー膜を除去する工程と、前記ダミー膜の除去された、前記第一、第二のプラグ電極用コンタクト孔内に第二の導電材を埋め込んで第一、第二のプラグ電極を形成する工程と、前記蓄積電極用コンタクト孔内に埋め込まれたダミー膜を除去する工程と、少なくとも、前記ストレージ電極の表面に沿ってキャパシタ絶縁膜を形成する工程と、前記キャパシタ絶縁膜を介して、前記蓄積電極用コンタクト孔内にプレート電極を設けてキャパシタを形成する工程と、全面に、第二の層間絶縁膜を形成する工程と、前記第二の層間絶縁膜の表面を平坦化する工程と、前記第二の層間絶縁膜を選択的に除去し、前記第一、第二のプラグ電極にそれぞれつながる第一、第二のコンタクト電極用コンタクト孔を形成する工程と、前記第二の層間絶縁膜上にビット線を形成すると同時に、このビット線と前記第一、第二のプラグ電極とをそれぞれ接続する第一、第二のコンタクト電極を形成する工程とからなっている。

【0020】この発明の半導体記憶装置およびその製造方法によれば、ビット線後作り構造のスタックキャパシタを有したメモリセル部の、周辺回路部の形成のためのプロセスとの整合性をとることが容易に可能となる。これにより、メモリセルとその周辺回路とを同一チップ上に混載させるDRAMにおいて、層間絶縁膜の極端な平坦化を行うことなしに、微細パターンの加工性などを向上できるようになるものである。

【0021】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0022】図1は、本発明の実施の第一の形態にかかる、同一チップ上にメモリセルとその周辺回路とを混載してなるDRAMの概略構成を示すものである。なお、同図(a)は、DRAMのレイアウト構成(1/2ビット、8F(Feature Size(最小デザインルールを示す))²型配置)を示す要部の平面図、同図(b)は、図(a)のB-B線に沿う要部の断面図であり、いずれも素子の左側がメモリセル部、同右側が周辺回路部となっている。

【0023】このDRAMは、たとえば同図(b)に示すように、P型シリコン基板(半導体基板)11からなるチップ上に、ビット線後作り構造のスタックキャパシタを有したメモリセル(DRAMセル)11Aと、その周辺回路(ロジック回路)11Bとが混載されてなる構成とされている。

【0024】すなわち、上記メモリセル11Aでは、たとえば同図(b)に示すように、P型シリコン基板11の表面に選択的に形成されたフィールド酸化膜(素子分離領域)12上、および、このフィールド酸化膜12に

よって囲まれたメモリセル領域13aに、それぞれ、ゲート酸化膜14を介して、多結晶シリコン15およびタングステン・ポリサイドやチタン・シリサイドなどの電極材料16を積層してなるゲート電極17が選択的に形成されている。

【0025】各ゲート電極17は、その上部および側部に、それぞれ窒化シリコン膜18が形成されている。

【0026】そして、各ゲート電極17の相互の、上記P型シリコン基板11の表面には、それぞれ、N⁻型の拡散層からなるソース/ドレイン領域19が形成されて、複数のN型MOSトランジスタが構成されている。

【0027】上記MOSトランジスタ上を含む、上記P型シリコン基板11の全面には、たとえば同図(b)に示すように、SiO₂(シリコン酸化)膜からなる第一の層間絶縁膜21が形成されている。

【0028】そして、この第一の層間絶縁膜21には、上記MOSトランジスタのソース/ドレイン領域19の一方(ドレイン)に対応して、ビット線接続部を構成する、ビット線プラグ(第一のプラグ電極)31が形成されている。

【0029】このビット線プラグ31は、たとえば、第一のプラグ電極用コンタクト孔31aの内壁に沿って形成された、Ti(チタン)とTiN(チタン・ナイトライド)との積層膜(第一の導電材)からなるバリア層32の内部に、Wなどの第二の導電材33を埋め込んでなる構成とされている。

【0030】上記ビット線プラグ31上には、たとえば同図(a)、(b)に示すように、ビット線41との接続のための、該ビット線プラグ31とで上記ビット線接続部を構成する、ビット線コンタクト(第一のコンタクト電極)51が形成されている。

【0031】このビット線コンタクト51は、たとえば、第一のコンタクト電極用コンタクト孔51aの内壁に沿って形成された、SiN(シリコン・ナイトライド)からなる絶縁膜52の内部に、上記ビット線41をなすW(タングステン)もしくはAl(アルミニウム)合金などの配線材料を埋め込んでなる構成とされている。

【0032】また、上記第一の層間絶縁膜21の、上記MOSトランジスタのソース/ドレイン領域19の他方(ソース)に対応する部位には、たとえば同図(b)に示すように、それぞれ蓄積電極となるキャパシタ61が形成されている。

【0033】このキャパシタ61は、たとえば、蓄積電極用コンタクト孔61aの内壁に沿って形成された、TiとTiNとの積層膜(第一の導電材)からなるストレージノード電極62の内部に、キャパシタ絶縁膜となるTa₂O₅(タンタル・オキサイド)膜63を介して、プレート電極64が埋め込まれてなる構成とされている。

【0034】上記プレート電極64上には、 SiO_2 膜などからなる第二の層間絶縁膜22が形成され、この第二の層間絶縁膜22上に、上記したWもしくはAl合金などの配線材料を用いてなるビット線41が形成されている。

【0035】一方、周辺回路11Bでは、たとえば同図(b)に示すように、周辺回路領域13bをなす、上記P型シリコン基板11の表面に選択的に形成されたフィールド酸化膜12上、および、このフィールド酸化膜12を除くフィールド領域13cに、それぞれ、ゲート酸化膜14を介して、上記多結晶シリコン15および上記電極材料16を積層してなるゲート電極17が選択的に形成されている。

【0036】各ゲート電極17は、その上部および側部に、それぞれ窒化シリコン膜18が形成されている。

【0037】そして、各ゲート電極17の相互の、上記P型シリコン基板11の表面には、それぞれ、 N^+ 型の拡散層からなるソース/ドレイン領域19が形成されて、複数のN型MOSトランジスタが構成されている。

【0038】上記MOSトランジスタ上を含む、上記P型シリコン基板11の全面には、たとえば同図(b)に示すように、上記した SiO_2 膜からなる第一の層間絶縁膜21が形成されている。

【0039】そして、この第一の層間絶縁膜21には、たとえば、上記MOSトランジスタのソース/ドレイン領域19の一方(ドレイン)に対応して、上記ビット線41と接続される、ビット線接続部(第一の周辺コンタクト)を構成する拡散層プラグ(第二のプラグ電極)71が形成されている。

【0040】この拡散層プラグ71は、たとえば、第二のプラグ電極用コンタクト孔71aの内壁に沿って形成された、TiとTiNとの積層膜(第一の導電材)からなるバリア層32の内部に、上記したWなどの第二の導電材33を埋め込んでなる構成とされている。

【0041】また、上記フィールド酸化膜12上に形成されたゲート電極17上には、たとえば同図(b)に示すように、ビット線接続部(第二の周辺コンタクト)を構成するゲート電極プラグ(第二のプラグ電極)81が形成されている。

【0042】このゲート電極プラグ81は、たとえば、第二のプラグ電極用コンタクト孔81aの内壁に沿って形成された、TiとTiNとの積層膜(第一の導電材)からなるバリア層32の内部に、上記したWなどの第二の導電材33を埋め込んでなる構成とされている。

【0043】上記拡散層プラグ71および上記ゲート電極プラグ81上には、たとえば同図(a)、(b)に示すように、上記ビット線41との接続のための、該拡散層プラグ71または該ゲート電極プラグ81とでビット線接続部をそれぞれ構成する、ビット線コンタクト(第二のコンタクト電極)91、91が形成されている。

【0044】このビット線コンタクト91、91は、たとえば同図(b)に示すように、上記 Ta_2O_5 膜63および上記第二の層間絶縁膜22を貫通して設けられた、第二のコンタクト電極用コンタクト孔91aの内壁に沿って形成された、 SiN からなる絶縁膜52の内部に、上記ビット線41をなすWもしくはAl合金などの配線材料を埋め込んでなる構成とされている。

【0045】この構成のDRAMは、メモリセル11Aのビット線接続部と周辺回路11Bのビット線接続部とが、それぞれの上面の高さがほぼ同一となるように、略同一構造を有してなる構成とされている。このため、メモリセル11Aと周辺回路11Bとを同一チップ上に混載させる場合に、メモリセル11Aの、周辺回路11Bの形成のためのプロセスとの整合性を高めることが可能となっている。

【0046】すなわち、ビット線後作り構造のスタックトキャパシタを有するメモリセル11Aにおいて、ビット線プラグ31の形成を、周辺回路11Bの、各プラグ71、81の形成と同時に、また、ビット線コンタクト51の形成を、周辺回路11Bの、各ビット線コンタクト91、91の形成と同時に、それぞれ実施できるようにしている。

【0047】これにより、メモリセル11Aの、周辺回路11Bの形成のためのプロセスとの整合性をとることが容易に可能となる。

【0048】したがって、第二の層間絶縁膜22を堆積させた場合に、メモリセル11Aと周辺回路11Bとの間で第二の層間絶縁膜22の上面の高さに、キャパシタ61の有無による段差が生じるのを防止できる結果、常に平坦面上での加工が可能となり、ビット線41などをパターニングする際の加工精度を向上できるようになるものである。

【0049】しかも、第一の層間絶縁膜21を堆積した後において、各プラグ31、71、81のバリア層32の形成と同時に、キャパシタ61のストレージノード電極62を形成することが可能となる。このため、キャパシタ61を形成するための工程を、大幅に削減できるものである。

【0050】特に、トランジスタを形成した後においては、フルメタルプロセスを採用することが可能になるなど、標準的なロジックLSIの製造のためのプロセスに、キャパシタ絶縁膜63およびプレート電極64を形成するための工程を加えるだけで、同一チップ上に、ビット線後作り構造のスタックトキャパシタを有するメモリセル11Aとその周辺回路11Bとを混載してなるDRAMを、容易に、かつ、安価に製造できるようになる。

【0051】次に、上記した構成のDRAMの製造プロセスについて説明する。

【0052】まず、P型シリコン基板11の表面にフィ

ールド酸化膜12を選択的に形成した後、ゲート酸化膜14をそれぞれ介してゲート電極17を形成するとともに、それぞれの領域13a、13cの、各ゲート電極17の相互間にそれぞれソース／ドレイン領域19を形成して、複数のN型MOSトランジスタを形成する。

【0053】次いで、上記各ゲート電極17の上部および側部にそれぞれ窒化シリコン膜18を形成した後、全面に、CVD法によりSiO₂膜からなる第一の層間絶縁膜21を300～1000nm程度の膜厚で堆積させ、その上面をCMP（ケミカル・メカニカル・ポリッシュ）法などにより平坦化する。

【0054】次いで、第一の層間絶縁膜21上にレジストマスク23を形成し、各コンタクト孔31a、61a、71a、81aを、順次または同時に開孔する（以上、図2参照）。

【0055】すなわち、メモリセル11Aでは、第一の層間絶縁膜21に対し、上記ビット線プラグ31を形成するためのコンタクト孔（第一のプラグ電極用コンタクト孔）31a、および、上記キャパシタ61を形成するためのコンタクト孔（蓄積電極用コンタクト孔）61aが、それぞれ開孔される。

【0056】また、周辺回路11Bでは、第一の層間絶縁膜21に対し、上記拡散層プラグ71および上記ゲート電極プラグ81を形成するための各コンタクト孔（第二のプラグ電極用コンタクト孔）71a、81aが、それぞれ開孔される。

【0057】続いて、上記レジストマスク23を除去した後、全面に、各コンタクト孔31a、61a、71a、81aの底部および側面部にバリア層32もしくはストレージノード電極62を形成するための、TiとTiNとの積層膜（第一の導電材）24を10～50nm程度の膜厚で堆積させる。

【0058】次いで、各コンタクト孔31a、61a、71a、81aの内部を埋め込むようにして、全面に、PSG（Phospho-Silicate Glass）膜やBPSG（Boron-doped Phospho-Silicate Glass）などからなるダミー絶縁膜25を堆積させる（以上、図3参照）。

【0059】続いて、上記ダミー絶縁膜25の上面をCMP法などにより平坦化し、さらに、エッチバックを行って、第一の層間絶縁膜21上に存在する積層膜24を除去する（図4参照）。

【0060】その際、各コンタクト孔31a、61a、71a、81aの内部にはそれぞれダミー絶縁膜25が埋め込まれているため、研磨剤などが蓄積するなどの悪影響を避けることができる。

【0061】これにより、コンタクト孔31a、71a、81a内はバリア層32およびダミー絶縁膜25によって、また、コンタクト孔61a内はストレージノード電極62およびダミー絶縁膜25によって、それぞれ埋め込まれる。

【0062】続いて、レジストマスク26を用いて、上記ビット線プラグ31を形成するためのコンタクト孔31a、上記拡散層プラグ71を形成するためのコンタクト孔71a、および、上記ゲート電極プラグ81を形成するためのコンタクト孔81a内に、それぞれ埋め込まれたダミー絶縁膜25を除去する（図5参照）。

【0063】この場合、たとえば、気相もしくは液相のエッチング、特に、等方性エッチング法が好ましい。

【0064】続いて、レジストマスク26を除去した後、たとえば、CVD法によりW膜などからなる第二の導電材33を全面に堆積させる（図6参照）。

【0065】続いて、その第二の導電材33の表面を、CMP法などにより平坦性を保ちながらエッチバックして、コンタクト孔31a、71a、81a内にのみ第二の導電材33を残存させて、ビット線プラグ31、拡散層プラグ71、および、ゲート電極プラグ81をそれぞれ形成する。

【0066】この後、レジストマスク（図示していない）を用いて、上記キャパシタ61を形成するためのコンタクト孔61a内にそれぞれ埋め込まれたダミー絶縁膜25を、同様に除去する（以上、図7参照）。

【0067】続いて、レジストマスクを除去した後、たとえば、キャパシタ絶縁膜となるTa₂O₅膜63を、酸化膜換算で5～25オングストローム程度の膜厚で全面に堆積させる。

【0068】また、そのTa₂O₅膜63上に、たとえば、プレート電極64となるWなどを堆積させてコンタクト孔61a内だけを埋め込み、キャパシタ61を形成する（以上、図8参照）。

【0069】続いて、全面に第二の層間絶縁膜22を形成した後、レジストマスク27を用いて、上記ビット線コンタクト51、91、91を形成するための各コンタクト孔（第一、第二のコンタクト電極用コンタクト孔）51a、91a、91aを、それぞれ開孔する（図9参照）。

【0070】続いて、レジストマスク27を除去した後、たとえば、全面にSiN膜を10～50nm程度の膜厚で堆積させ、そのSiN膜をRIEなどにより側壁残しでエッチングして絶縁膜52を形成する（図10参照）。

【0071】そして、上記第二の層間絶縁膜22上にWやAl合金などの配線材料を堆積させた後、それをパターニングする。

【0072】これにより、各コンタクト孔51a、91a、91a内を配線材料により埋め込んでなるビット線コンタクト51、91、91と、ビット線コンタクト51、91、91にそれぞれつながるビット線41とが形成されて、図1に示した構成の、メモリセル11Aとその周辺回路11Bとを同一チップ上に混載してなるDRAMが完成される。

【0073】上記したように、メモリセルにおけるビット線接続部と周辺回路におけるビット線接続部とを、それぞれの上面の高さがほぼ同一となるように、略同一構造を有してなる構成としている。

【0074】すなわち、メモリセルと周辺回路とにおける各ビット線プラグおよび各ビット線コンタクトを、それぞれ、同一のプロセスにより同時に形成できるようにしている。これにより、フルメタルプロセスの採用によってビット線のA1化が可能になるなど、ビット線後作り構造のスタックトキャパシタを有したメモリセルにおいて、該メモリセルの、周辺回路の形成のためのプロセスとの整合性を高めることが可能となる。したがって、メモリセルとその周辺回路とを同一チップ上に混載させる場合に、メモリセルと周辺回路との整合をとることが容易に可能となり、層間絶縁膜の上面にキャパシタの有無に応じた段差が生じるのを防止できるようになるものである。

【0075】特に、必要な蓄積容量を得るためにストレージノード電極の高さを高くした場合にも、各プラグの上面の高さはこれに追従して高くなる。このため、常に平坦面での加工が可能となり、極端な平坦化工程を行うことなしに、ビット線などの微細パターンを加工する際の精度を格段に向上できるようになる。

【0076】しかも、各プラグのバリア層の形成と同時にキャパシタのストレージノード電極を形成するとともに、バリア層の形成に用いられる第一の導電材を、キャパシタのストレージノード電極としても利用するようにしている。このため、キャパシタの形成のためのプロセスを、見かけ上、大幅に削減することが可能となるものである。

【0077】また、上記した構成のDRAMによれば、MIM（メタル・インシュレータ・メタル）型キャパシタを容易に形成できるため、キャパシタ絶縁膜の性能をフルに引き出すことが可能である。

【0078】なお、上記した本発明の実施の第一の形態においては、ストレージノード電極62上にキャパシタ絶縁膜となる Ta_2O_5 膜63を形成するようにした場合を例に説明したが、これに限らず、たとえば図11に示すように、少なくともストレージノード電極62上にさらにPt（プラチナ）、Ru（ルテニウム）、 RuO_2 （酸化ルテニウム）などの膜28を積層させるようにしても良い。

【0079】この膜28は、たとえば、全面に、積層膜24、上記膜28、および、ダミー絶縁膜25を順に堆積した後に、それらを各コンタクト孔31a、61a、71a、81a内のみに残存させるように除去することで簡単に形成できる。

【0080】このDRAM（本発明の実施の第二の形態）の場合、上記した Ta_2O_5 膜63よりも誘電率の高い、BSTO（ $Ba_xSr_{1-x}TiO_3$ （チタン酸バリウム

・ストロンチウム））などの膜をキャパシタ絶縁膜として使用できるようになる。

【0081】また、キャパシタ絶縁膜となる Ta_2O_5 膜63を介して蓄積電極用コンタクト孔61a内をプレート電極64によりすべて埋め込む場合の他、たとえば図12に示すように、 Ta_2O_5 膜63に沿ってのみ、プレート電極64 $\bar{}$ を設けるようにしても良い。

【0082】このDRAM（本発明の実施の第三の形態）のように、プレート電極64 $\bar{}$ を薄膜化することで、コンタクト部分での寄生容量のさらなる低減が可能となる。

【0083】また、この本発明の実施の第三の形態にかかるDRAMにおいても、上記した第二の形態にかかるDRAMの場合と同様に、少なくともストレージノード電極62とキャパシタ絶縁膜との間にPt、Ru、 RuO_2 などの膜28を介在させ、キャパシタ絶縁膜としてBSTO膜を採用することも可能である。

【0084】また、ストレージノード電極62を蓄積電極用コンタクト孔61a内に形成する場合に限らず、少なくとも上部が筒状に形成されるものであれば、本発明は適用できる。

【0085】さらに、各部の材料、膜厚、導電型などの条件は、仕様に応じて適宜変更可能である。

【0086】その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0087】

【発明の効果】以上、詳述したようにこの発明によれば、メモリセル部と周辺回路部とを同一チップ上に混載する場合において、メモリセル部と周辺回路部との間で層間絶縁膜の上面にキャパシタの有無による段差を生じることなく、メモリセル部と周辺回路部との整合性に優れた半導体記憶装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の第一の形態にかかる、ビット線後作り構造のスタックトキャパシタを有したメモリセルとその周辺回路とを同一チップ上に混載してなるDRAMの構成の要部を示す概略図。

【図2】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図3】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図4】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図5】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図6】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図7】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図8】同じく、かかるDRAMの製造方法を説明する

ために示す概略断面図。

【図9】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図10】同じく、かかるDRAMの製造方法を説明するために示す概略断面図。

【図11】本発明の実施の第二の形態にかかる、DRAMの構成の要部を示す概略図。

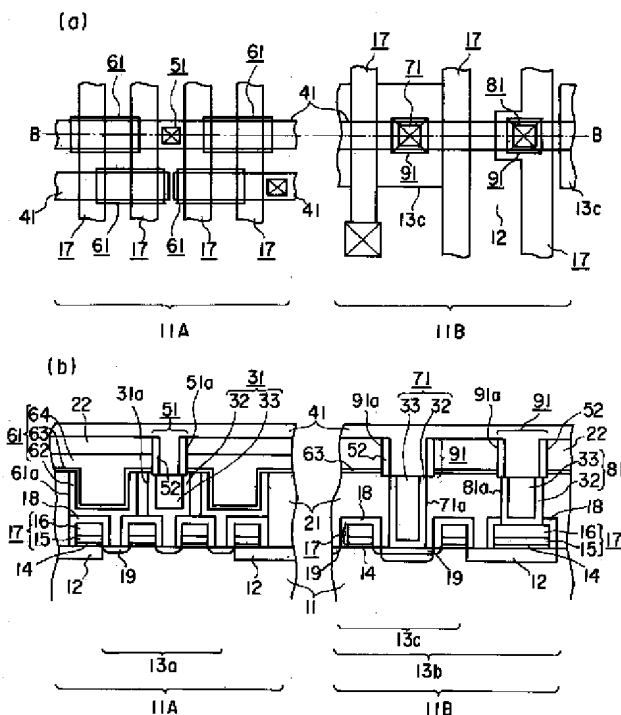
【図12】本発明の実施の第三の形態にかかる、DRAMの構成の要部を示す概略図。

【図13】従来技術とその問題点を説明するために示す、DRAMの概略断面図。

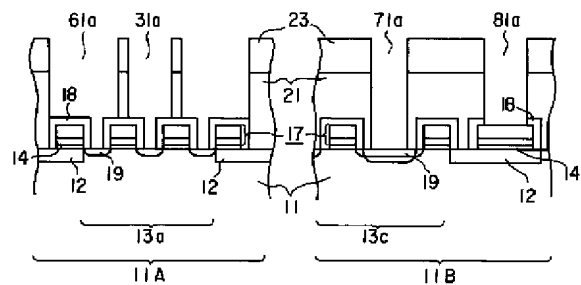
【符号の説明】

- 11…P型シリコン基板
- 11A…メモリセル
- 11B…周辺回路
- 12…フィールド酸化膜
- 13a…メモリセル領域
- 13b…周辺回路領域
- 13c…フィールド領域
- 14…ゲート酸化膜
- 15…多結晶シリコン
- 16…電極材料
- 17…ゲート電極
- 18…窒化シリコン膜
- 19…ソース/ドレイン領域
- 21…第一の層間絶縁膜
- 22…第二の層間絶縁膜
- 23, 26, 27…レジストマスク
- 24…積層膜
- 25…ダミー絶縁膜
- 28…膜
- 31…ビット線プラグ
- 31a…第一のプラグ電極用コンタクト孔
- 32…バリア層
- 33…第二の導電材
- 41…ビット線
- 51…ビット線コンタクト
- 51a…第一のコンタクト電極用コンタクト孔
- 52…絶縁膜
- 61…キャパシタ
- 61a…蓄積電極用コンタクト孔
- 62…ストレージノード電極
- 63… Ta_2O_5 膜
- 64, 64'…プレート電極
- 71…拡散層プラグ
- 71a…第二のプラグ電極用コンタクト孔
- 81…ゲート電極プラグ
- 81a…第二のプラグ電極用コンタクト孔
- 91…ビット線コンタクト
- 91a…第二のコンタクト電極用コンタクト孔

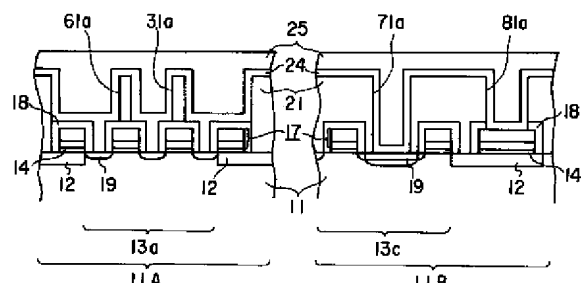
【図1】



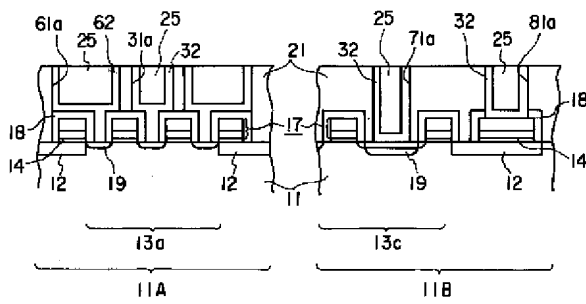
【図2】



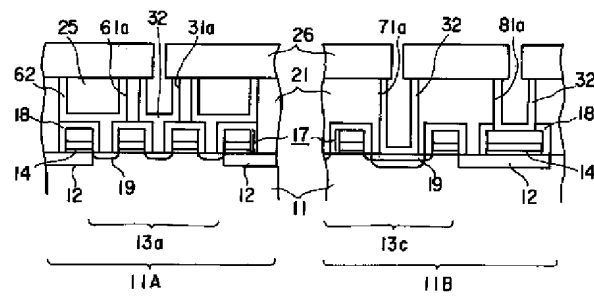
【図3】



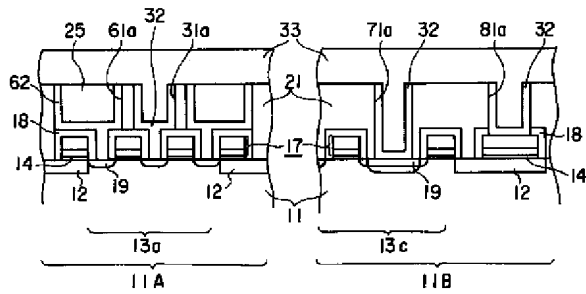
【図4】



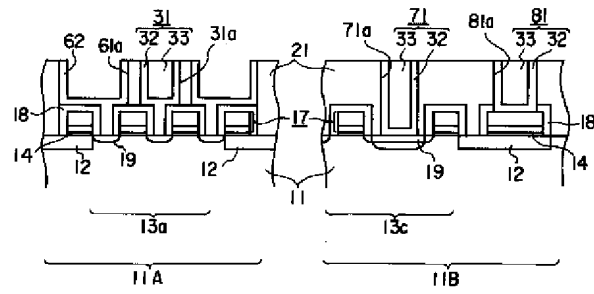
【図5】



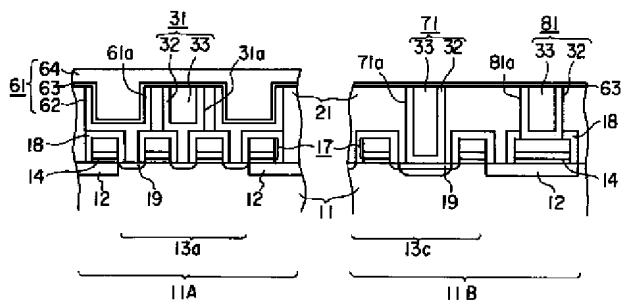
【図6】



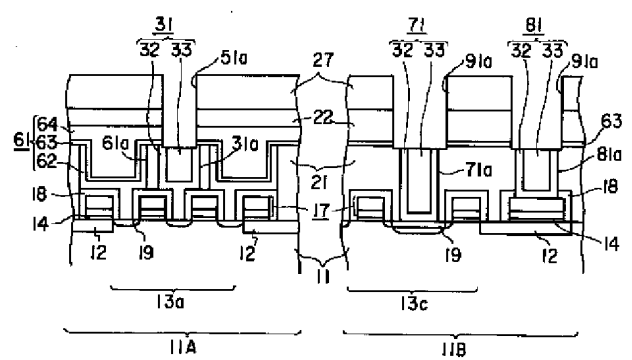
【図7】



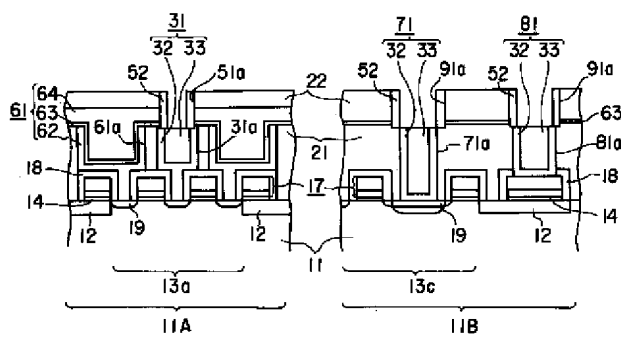
【図8】



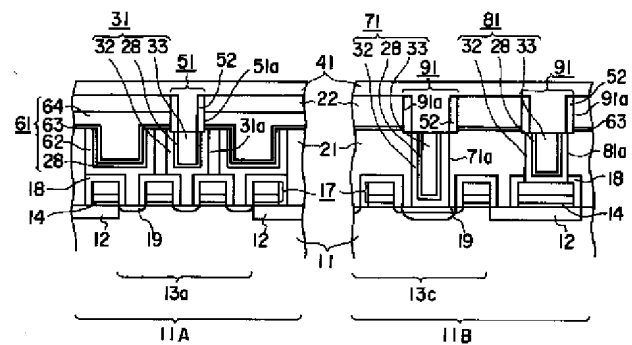
【図9】



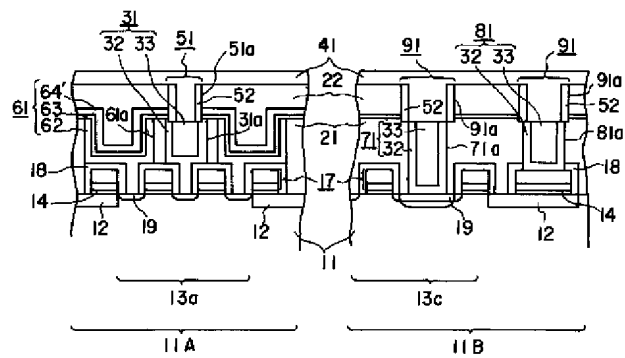
【図10】



【図11】



【図12】



【図13】

